

Searching PAJ

1/2 ページ

(4)

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-251455  
 (43)Date of publication of application : 28.09.1993

(51)Int.CI.

H01L 21/321

(21)Application number : 04-047154

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 04.03.1992

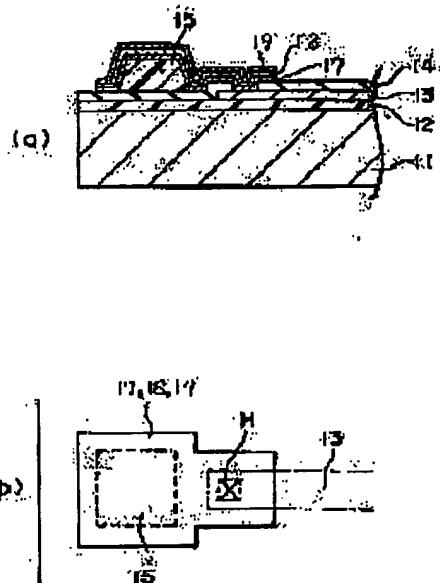
(72)Inventor : TAKEI SAKAE

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To keep uniform the height of a bump and ensures excellent electrical characteristic by forming an insulated projected area at the surface of semiconductor substrate on which an element region and wirings are formed and then forming a metal film as a bump covering the projected area and electrically connecting the wirings.

**CONSTITUTION:** This semiconductor device forms an aluminium wiring layer 13 on a silicon substrate 11 via a silicon oxide film 12 as an insulating film and thereafter forms a silicon oxide film 14 as a protection film. A through hole H is opened, a projection 15 consisting of a polyimide film is formed and a conductive film of the three-layer structure of a barrier layer 17, copper layer 18 and a metal layer 19 is formed from the upper layer of this projection 15 to the through hole H. By electrical connection with the aluminium wiring layer 13, a conductive film of the three-layer structure covering the projection 15 is used as a bump. Thereby, the height of bump is made uniform and good electrical characteristic can be maintained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

Searching PAJ

2/2 ページ

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-251455

(43)公開日 平成5年(1993)9月28日

(51)Int.Cl.<sup>5</sup>

H 01 L 21/321

識別記号

庁内整理番号

F I

技術表示箇所

9168-4M

9168-4M

H 01 L 21/ 92

T

C

審査請求 未請求 請求項の数 3(全 4 頁)

(21)出願番号

特願平4-47154

(22)出願日

平成4年(1992)3月4日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 武居 栄

神奈川県川崎市幸区小向東芝町 1 株式

会社東芝総合研究所内

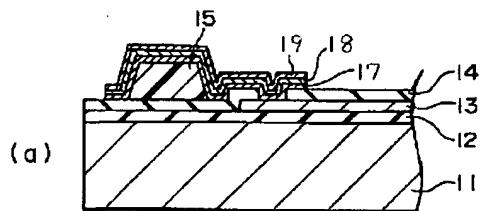
(74)代理人 弁理士 木村 高久

(54)【発明の名称】 半導体装置

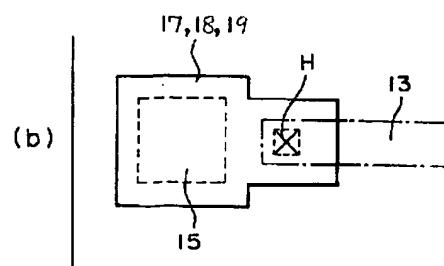
(57)【要約】 (修正有)

【目的】 本発明は、パンプの高さが均一でかつ電気的特性の良好な半導体装置を提供することを目的とする。

【構成】 本発明では、素子領域および配線14の形成された半導体基板11表面に突出するように絶縁性の突起部15を形成し、この突起部15を覆うと共に配線14に電気的に接続するようにパンプとしての金属膜17, 18, 19を形成している。



(a)



(b)

1

**【特許請求の範囲】**

**【請求項1】** 素子領域および配線の形成された半導体基板表面に突出するように形成された絶縁性の突起部と、

前記突起部を覆うと共に前記配線に電気的に接続されたバンプとしての金属膜とを具備したことを特徴とする半導体装置。

**【請求項2】** 前記金属膜は、前記基板表面を覆う保護膜に形成されたスルーホールを介して前記配線に電気的に接続されていることを特徴とする請求項1記載の半導体装置。

**【請求項3】** 前記突起部は、耐熱性樹脂で構成されていることを特徴とする請求項1記載の半導体装置。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** 本発明は、半導体装置に係り、特に半導体集積回路チップ上へのバンプの形成に関する。

**【0002】**

**【從来の技術】** 近年、半導体集積回路の分野では、集積化が進められており、入出力信号や電源電圧を供給するためのパッド数は益々増大し、動作速度の迅速化は進む一方である。

**【0003】** このように高密度に集積化された半導体集積回路の実装に際しては、パッド数の増大に伴い、パッドピッチの縮小化がはかられている。しかし、従来のワイヤボンディング技術では、そのピッチは  $100\mu m$  が限界であり、またパッド数の増大に伴うワイヤボンディングに要する時間の増大も大きな問題となっている。そこで、このような問題を解決するため、長尺状の可撓性フィルム基板上に金属箔配線を形成したフィルムキャリアやリードフレーム等に、接続用の突起電極（バンプ）を介して、これと半導体集積回路チップのパッドとを接続する TAB (Tape Automated Bonding) 技術が提唱され、開発が進められている。この技術により、パッドピッチが  $60\mu m$  程度の半導体集積回路まで対応することが可能であるといわれている。

**【0004】** このTAB方式では、リードフレーム側にバンプを形成するものと半導体装置のチップ側にバンプを形成するものとがあるが、半導体装置のチップ側にバンプを形成する場合、半導体装置の形成後にバンプを形成する工程が必要となる。

**【0005】** 従来、図5に示すように、半導体基板1上に絶縁膜2を介してA1配線層3を形成した後保護膜4として酸化シリコン膜などを形成し、これにスルーホールHを開口し、さらに選択めっきによりこのスルーホールH内に開口するA1配線層3から金または半田のめっき層5を形成しこれをバンプとして用いるようにしたものが提案されている。この方法では選択めっきによってバンプが形成されるため、高さの制御が極めて困難であるという問題がある。

2

**【0006】** この問題を解決するため、図6に示すように、半導体基板1上を覆う絶縁膜2の一部にビアホールhを開口し、このビアホールhからシリコンのエピタキシャル成長によりシリコン突起部6を形成し、この周辺または頂部にバリア層7と銅層8と金層9との多層構造の金属膜を形成しこれをバンプとしたものも提案されている（特開昭62-293648）。この構造では、バンプはシリコンで構成されているため基板との熱膨張率の差がないため、ボンディングに際してクラックが発生するのを防止することができるという特徴を有している。

**【0007】**

**【発明が解決しようとする課題】** このように、シリコンの選択成長によりバンプを形成する方法では、バンプの高さのばらつきは低減されたボンディングに際してクラックが発生するおそれはないが、バンプの核に半導体であるシリコンを用いているため、 $100^{\circ}C$ 程度の高温で動作させる場合、シリコンの比抵抗が低下し基板へのリーク電流が発生しやすくなり、誤動作の原因となることがある。

**【0008】** また、シリコンのエピタキシャル成長は一般に  $800^{\circ}C$  以上の高温で行わなければならないため、 $600^{\circ}C$  程度の耐熱性しかもないA1配線はこれに耐えられない。従って A1 配線の形成に先立ち、シリコンのエピタキシャル成長を行い突起部6を形成しておく必要がある。このため、 $1\mu m$  以下の微細な加工精度を必要とする半導体集積回路では、フォトリソグラフィに用いるフォトレジストがこの突起部近傍で薄くなったりしてチップ全域に均一に塗布されず、加工精度が低下するという問題があった。

**【0009】** 本発明は、前記実情に鑑みてなされたもので、バンプの高さが均一でかつ電気的特性の良好な半導体装置を提供することを目的とする。

**【0010】**

**【課題を解決するための手段】** そこで本発明の半導体装置では、素子領域および配線の形成された半導体基板表面に突出するように絶縁性の突起部を形成し、この突起部を覆うと共に配線に電気的に接続するようにバンプとしての金属膜を形成している。

**【0011】** 望ましくはこの金属膜は、基板表面を覆う保護膜に形成されたスルーホールを介して配線に電気的に接続される。

**【0012】** さらに望ましくはこの突起部は、耐熱性樹脂で構成している。

**【0013】**

**【作用】** 上記構成によれば、突起部の核は絶縁膜で形成されているため、高温での使用に際してもリーク発生のおそれもなく、電気的特性を良好に維持することができ、また、絶縁膜のパターニングにより高さの均一な突起を形成することができ、また、配線層のパターニング

50

後に形成することができるため、配線パターンのパターニング精度を低下させることもない。

【0014】製造に際しては、例えば、素子領域および配線の形成された半導体基板上に保護膜を形成し、この保護膜上に半導体基板表面に突出するように絶縁性の突起部を形成したのちこの保護膜にスルーホールを形成し、突起を覆うとともにスルーホールを介して配線に電気的に接続するように、バンプとなる金属膜パターンを形成する等の方法をとる。

#### 【0015】

【実施例】以下、本発明の実施例について図面を参照しつつ詳細に説明する。

【0016】図1(a)および(b)は、本発明実施例の半導体装置を示す図である。

【0017】この半導体装置は、シリコン基板11上に絶縁膜としての酸化シリコン膜12を介してA1配線層13を形成した後、保護膜としての酸化シリコン膜14を形成し、これにスルーホールHを開口し、さらにポリイミド膜からなる突起15を形成し、この突起15の上層からスルーホールHにかけてバリア層17と銅層18と金層19との3層構造の導体膜を形成し、A1配線層13との電気的接続を行うことにより、この突起15上を覆う3層構造の導体膜をバンプとして用いるようにしたことを特徴とするものである。

【0018】すなわち、この構造ではバンプとなる突起15の下地は、シリコン基板11上に形成された酸化シリコン膜12と保護膜としての酸化シリコン膜14とであり、3層膜のパターンはこの突起15を覆うとともにスルーホールH内に露呈するA1配線層13上を覆うように形成されている。

【0019】次にこの半導体装置の製造方法について説明する。

【0020】まず、所望の素子領域の形成されたシリコン基板11上に絶縁膜としての酸化シリコン膜12を形成しさらにスパッタリング法によりA1薄膜を形成しフォトリソグラフィを用いてこれをパターニングしA1配線層13を形成する。

【0021】さらに、図2(a)に示すようにCVD法により保護膜としての酸化シリコン膜14を形成し、フォトリソグラフィによりスルーホールHを開口する。

【0022】この後、図2(b)に示すように、ポリイミド膜をスピンドルコート法によって膜厚6μmとなるように塗布し、フォトリソグラフィによってレジストマスクを形成し、ヒドラジンによってレジストマスクから露呈する領域を選択的に除去し、ポリイミド膜からなる突起15を形成する。

【0023】そしてさらに、膜厚0.5μmのチタン薄膜17と膜厚0.5μmの銅薄膜18と膜厚1μmの金薄膜19をスパッタリング法により堆積し、フォトリソグラフィによりこれら3層膜をパターニングし、この突

起15の上層からスルーホールHにかけてバリア層17と銅層18と金層19との3層構造の導体膜を形成し、A1配線層13との電気的接続を行い、図1(a)および(b)に示した半導体装置が完成する。

【0024】このようにして、この突起15上を覆う3層構造の導体膜によって形成されたバンプをもつバンプ付き半導体装置が得られる。

【0025】このバンプをリードフレームあるいはフィルムキャリアの所定のインナーリードに直接ボンディングを行うことにより、電気的接続を行い、樹脂封止をおこなって実装がなされる。

【0026】この構造ではバンプとなる突起15はポリイミド膜で形成されており、シリコンを用いた場合のようなリーク発生のおそれはない。またこの構造ではA1配線層の形成後に突起を形成すれば良いため、配線パターンの精度を低下させることもない。

【0027】ここで、突起の高さは6μm(5~10μm程度)であるが、導体膜のパターニングに際し、写真蝕刻法で用いるフォトレジスト膜を突起部の周辺で均一に塗布するのは困難であるが、数十μm程度の比較的大きい形状のバンプであるため、加工上の不都合は少ない。

【0028】なお、前記実施例で突起の形成にポリイミドを用いたのは、均一な膜厚を得ることができること、および下地との密着性が良好であること、300°C以上の耐熱性を有し、後続の導体膜の形成時における熱に耐え得るという点である。しかしながら、このような均一な膜厚を得ることができること、下地との密着性が良好であること、後続の導体膜の形成時における熱に耐え得ることという条件を満たすものであれば、酸化シリコン膜等他の絶縁膜を用いても良い。この場合は突起形成のためのフォトリソグラフィ工程を別に設ける必要がある。またポリイミドの場合、感光材料を添加することにより容易に感光性を持たせることができる。すなわち感光性材料を添加したポリイミド膜をスピンドルコート法によって膜厚6μmとなるように塗布し、マスクを介して露光し潜像を形成し、ヒドラジンによって現像し、ポリイミド膜からなる突起15を形成するようにしてもよい。

【0029】また、前記実施例ではバンプはA1配線層の形成されていない領域に形成したが、図3に示すように、A1配線層13の上に重なるように形成しても良い。この場合は特別にバンプ形成領域を必要としないため、装置の大型化を防ぐことができる。さらにこの場合、保護膜14上ではなく直接A1配線層13の上にポリイミド膜からなる突起15を形成してもよいことはいうまでもない。

【0030】また、図4に示すように保護膜の形成に先立ちバンプ15上からA1配線層13にかけて導体膜を形成し、この上層に保護膜14を形成するようにしても

よい。また保護膜を省略してもよい。

【0031】また、3層膜からなる導体膜については基板との密着性、導電性、リードフレームとの接続性を満足するものであればよいことはいうまでもない。

#### 【0032】

【発明の効果】以上説明してきたように、本発明によれば、高さが均一なバンプを有し、電気的特性を良好に維持することのできる半導体装置を得ることができる。

#### 【図面の簡単な説明】

【図1】本発明実施例の半導体装置を示す図

【図2】本発明実施例の半導体装置の製造工程図

【図3】本発明の他の実施例の半導体装置を示す図

【図4】本発明の他の実施例の半導体装置を示す図

【図5】従来例の半導体装置を示す図

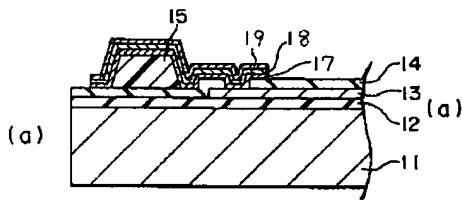
【図6】従来例の半導体装置を示す図

#### 【符号の説明】

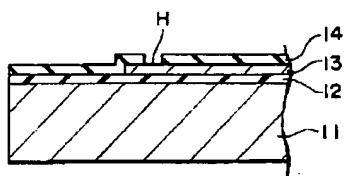
1 シリコン基板

2	絶縁膜
3	A I配線層
4	保護膜
5	めっき層(バンプ)
6	シリコン突起部
7	T i層
8	C u層
9	A u層
11	シリコン基板
12	酸化シリコン膜
13	A I配線層
14	保護膜
15	突起(ポリイミド膜)
17	T i層
18	C u層
19	A u層

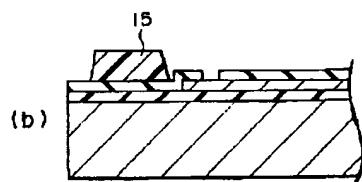
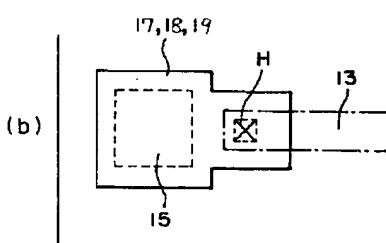
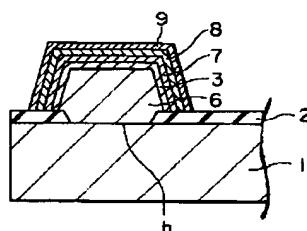
【図1】



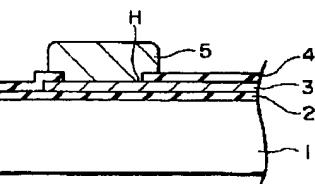
【図2】



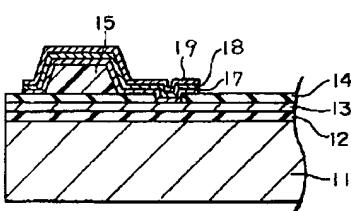
【図6】



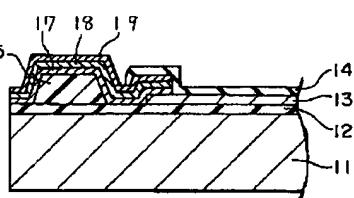
【図5】



【図3】



【図4】



**\* NOTICES \***

**JPO and NCIPI are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

**CLAIMS****[Claim(s)]**

**[Claim 1]** The semiconductor device characterized by providing the insulating height formed so that it might project on the semi-conductor substrate front face in which a component field and wiring were formed, and the metal membrane as a bump by whom said height was electrically connected to said wiring with the wrap.

**[Claim 2]** Said metal membrane is a semiconductor device according to claim 1 characterized by connecting with said wiring electrically through the through hole formed in the wrap protective coat in said substrate front face.

**[Claim 3]** Said height is a semiconductor device according to claim 1 characterized by consisting of heat resistant resin.

**DETAILED DESCRIPTION****[Detailed Description of the Invention]****[0001]**

**[Industrial Application]** This invention relates to a semiconductor device, especially relates to formation of the bump to a semiconductor integrated circuit chip top.

**[0002]**

**[Description of the Prior Art]** In the field of a semiconductor integrated circuit, integration is advanced, the number of pads for supplying an I/O signal and supply voltage increases increasingly in recent years, and speeding up of a working speed is progressing steadily.

**[0003]** Thus, on the occasion of mounting of the semiconductor integrated circuit integrated by high density, contraction-ization of a pad pitch is achieved with increase of the number of pads. However, with the conventional wirebonding technique, the pitch is 100 micrometers. It is a limitation and increase of the time amount which wirebonding accompanying increase of the number of pads takes also poses a big problem. Then, in order to solve such a problem, through the projection electrode for connection (bump), the TAB (Tape Automated Bonding) technique which connects this and the pad of a semiconductor integrated circuit chip is advocated by the tape carrier package in which metallic foil wiring was formed on

the flexible long picture-like film substrate, the leadframe, etc., and development is advanced to them. By this technique, a pad pitch is 60 micrometers. It is said that it is possible even for the semiconductor integrated circuit which is extent to correspond.

[0004] Although there are what forms a bump in a leadframe side, and a thing which forms a bump in the tip side of a semiconductor device by this TAB method,

in the case of what forms a bump in the tip side of a semiconductor device, the process which forms a bump is needed after formation of a semiconductor device.

[0005] As conventionally shown in drawing 5, what forms the silicon oxide film etc. as aftercare film 4 which formed the aluminum wiring layer 3 through the insulator layer 2 on the semi-conductor substrate 1, forms the plating layer 5 of gold or solder from the aluminum wiring layer 3 which carries out opening of the through hole H to this, and carries out opening into this through hole H with selection plating further, and used this as a bump is proposed. By this approach, since a bump is formed by selection plating, there is a problem that control of height is very difficult.

[0006] In order to solve this problem, as shown in drawing 6, opening of the beer hall h is carried out for the semi-conductor substrate 1 top to a part of wrap insulator layer 2, the silicon height 6 is formed with the epitaxial

growth of silicon from this beer hall h, and what formed the metal membrane of the multilayer structure of the barrier layer 7, a copper layer 8, and a gold layer 9 in this circumference or crowning, and made this the bump is proposed (JP,62-293648,A). With this structure, since the bump consists of silicon and she does not have the difference of coefficient of thermal expansion with a substrate, she has the description that it can prevent that a crack occurs on the occasion of bonding.

[0007]

[Problem(s) to be Solved by the Invention] Thus, although there is no possibility that dispersion in a bump's height may be reduced and a crack may occur on the occasion of bonding by the approach of forming a bump with the selective growth of silicon again, since the silicon which is a semi-conductor is used for a bump's nucleus, when making it operate at an about 100-degree C elevated temperature, the specific resistance of silicon falls, and it becomes easy to generate the leakage current to a substrate, and may become the cause of malfunction.

[0008] Moreover, since epitaxial growth of silicon must generally be performed at an elevated temperature 800 degrees C or more, aluminum wiring only with the thermal resistance of about 600 degrees C cannot bear this. Therefore, in advance of formation of aluminum wiring, it is

necessary to perform epitaxial growth of silicon and to form a height 6. For this reason, 1 micrometer In the semiconductor integrated circuit which needs the following detailed process tolerance, the photoresist used for a photolithography became thin near [this] the height, and it was not applied to homogeneity throughout the chip, but there was a problem that process tolerance fell.

[0009] This invention was made in view of said actual condition, and aims to let a bump's height offer the uniform and good semiconductor device of electrical characteristics.

[0010]

[Means for Solving the Problem] So, in the semiconductor device of this invention, an insulating height is formed so that it may project on the semiconductor substrate front face in which a component field and wiring were formed, and the metal membrane as a bump is formed so that this height may be electrically connected to wiring with a wrap.

[0011] This metal membrane is desirably connected to wiring electrically through the through hole formed in the wrap protective coat in the substrate front face.

[0012] This height consists of heat resistant resin still more desirably.

[0013]

[Function] Since according to the above-mentioned configuration it does

not have fear of leak generating, either, even if it faces it the use in an elevated temperature, since the nucleus of a height is formed by the insulator layer, electrical characteristics can be maintained good, the uniform projection of height can be formed by patterning of an insulator layer and it can form after patterning of a wiring layer, patterning precision of a circuit pattern is not reduced.

[0014] After forming a protective coat on the occasion of manufacture on the semi-conductor substrate with which a component field and wiring were formed, for example, and forming an insulating height so that it may project on a semi-conductor substrate front face on this protective coat, a through hole is formed in this protective coat, and the approach of forming the metal membrane pattern which serves as a bump is taken so that a projection may be electrically connected to wiring through a through hole with a wrap.

[0015]

[Example] Hereafter, it explains to a detail, referring to a drawing about the example of this invention.

[0016] Drawing 1 (a) And (b) It is drawing showing the semiconductor device of this invention example.

[0017] After this semiconductor device forms the aluminum wiring layer 13 through the silicon oxide film 12 as an insulator layer on a silicon substrate 11,

Form the silicon oxide film 14 as a protective coat, and opening of the through hole H is carried out to this. the projection 15 which furthermore consists of polyimide film -- forming -- the through hole H from the upper layer of this projection 15 -- applying -- the conductor of the three-tiered structure of the barrier layer 17, a copper layer 18, and a gold layer 19 -- by forming the film and performing electrical installation with the aluminum wiring layer 13 this projection 15 top -- the conductor of a wrap three-tiered structure -- it is characterized by using the film as a bump.

[0018] That is, with this structure, the substrate of projection 15 which serves as a bump is with the silicon oxide film 12 and the silicon oxide film 14 as a protective coat which were formed on the silicon substrate 11, and the pattern of three layer membranes is formed so that the aluminum wiring layer 13 top which exposes this projection 15 in a through hole H with a wrap may be covered.

[0019] Next, the manufacture approach of this semiconductor device is explained.

[0020] First, on the silicon substrate 11 in which the desired component field was formed, the silicon oxide film 12 as an insulator layer is formed, aluminum thin film is further formed by the sputtering method, patterning of this is carried out using a photolithography, and the aluminum wiring layer 13 is formed.

[0021] Furthermore, drawing 2 (a) The

silicon oxide film 14 as a protective coat is formed with a CVD method so that it may be shown, and opening of the through hole H is carried out by the photolithography.

[0022] Then, drawing 2 (b) It is 6 micrometers of thickness by the spin coat method about the polyimide film so that it may be shown. It applies so that it may become, a resist mask is formed by the photolithography, the field exposed from a resist mask by the hydrazine is removed alternatively, and the projection 15 which consists of polyimide film is formed.

[0023] And it is 0.5 micrometers of thickness further. The titanium thin film 17 and 0.5 micrometers of thickness The copper thin film 18 and 1 micrometer of thickness The golden thin film 19 is deposited by the sputtering method. The film is formed. a photolithography -- these 3 layer membrane -- patterning -- carrying out -- the through hole H from the upper layer of this projection 15 -- applying -- the conductor of the three-tiered structure of the barrier layer 17, a copper layer 18, and a gold layer 19 -- Electrical installation with the aluminum wiring layer 13 is performed, and it is drawing 1 (a). And (b) The shown semiconductor device is completed.

[0024] thus, this projection 15 top -- the conductor of a wrap three-tiered structure -- a semiconductor device with a bump with the bump formed with the

film is obtained.

[0025] By performing direct bonding for this bump to the predetermined inner lead of a leadframe or a tape carrier package, electrical installation is performed, a resin seal is performed and mounting is made.

[0026] The projection 15 which serves as a bump with this structure is formed by the polyimide film, and does not have fear of leak generating like [ at the time of using silicon ]. Moreover, with this structure, in order for what is necessary to be just to form a projection after formation of aluminum wiring layer, precision of a circuit pattern is not reduced.

[0027] here -- the height of a projection -- 6 micrometers it is (5·10 micrometers extent) -- although -- a conductor -- although it is difficult to apply to homogeneity around a height the photoresist film used by the photo-etching method on the occasion of membranous patterning -- dozens of micrometers Since it is the bump of the comparatively large configuration of extent, there is un-arranging [ little ] on processing.

[0028] in addition, that having used POIRI imide for formation of a projection in said example can obtain uniform thickness and that adhesion with a substrate is good, and the thermal resistance of 300 degrees C or more -- having -- a consecutive conductor -- it is

the point that the heat at the time of membranous formation can be borne. however, the conductor of that such uniform thickness can be obtained, that adhesion with a substrate is good, and consecutiveness -- as long as it fulfills the conditions that the heat at the time of membranous formation can be borne, other insulator layers, such as silicon oxide film, may be used. In this case, it is necessary to establish the photolithography process for projection formation independently. Moreover, in the case of polyimide, photosensitivity can be easily given by adding sensitive material. That is, it is 6 micrometers of thickness by the spin coat method about the polyimide film which added the photosensitive ingredient. It applies so that it may become, it exposes through a mask and a latent image is formed, and negatives are developed by the hydrazine and you may make it form the projection 15 which consists of polyimide film.

[0029] Moreover, although the bump formed in the field in which aluminum wiring layer is not formed in said example, as shown in drawing 3, you may form so that it may lap on the aluminum wiring layer 13. In this case, since a bump formation field is not needed specially, enlargement of equipment can be prevented. It cannot be overemphasized that the projection 15 which consists of polyimide film may furthermore be formed in this case on the

direct aluminum wiring layer 13 instead of a protective coat 14.

[0030] moreover, it is shown in drawing 4 -- as -- formation of a protective coat -- preceding -- the aluminum wiring layer 13 from a bump 15 -- applying -- a conductor -- the film is formed and you may make it form a protective coat 14 in this upper layer Moreover, a protective coat may be omitted.

[0031] moreover, the conductor which consists of three layer membranes -- what satisfies adhesion with a substrate, conductivity, and connectability with a leadframe about the film -- it is -- \*\*\*\*ing -- things cannot be overemphasized.

[0032]

[Effect of the Invention] As explained above, according to this invention, it has a bump with uniform height and the semiconductor device which can maintain electrical characteristics good can be obtained.

#### DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

Drawing 1 Drawing showing the semiconductor device of this invention example

Drawing 2 The production process Fig. of the semiconductor device of this invention example

Drawing 3 Drawing showing the semiconductor device of other examples of this invention

Drawing 4 Drawing showing the semiconductor device of other examples of this invention

Drawing 5 Drawing showing the semiconductor device of the conventional example

Drawing 6 Drawing showing the semiconductor device of the conventional example

#### [Description of Notations]

1 Silicon Substrate

2 Insulator Layer

3 Aluminum Wiring Layer

4 Protective Coat

5 Plating Layer (Bump)

6 Silicon Height

7 Ti Layer

8 Cu Layer

9 Au Layer

11 Silicon Substrate

12 Silicon Oxide Film

13 Aluminum Wiring Layer

14 Protective Coat

15 Projection (Polyimide Film)

17 Ti Layer

18 Cu Layer

19 Au Layer

[Translation done.]